

B4

**MANUFACTURE OF SEMICONDUCTOR DEVICE**

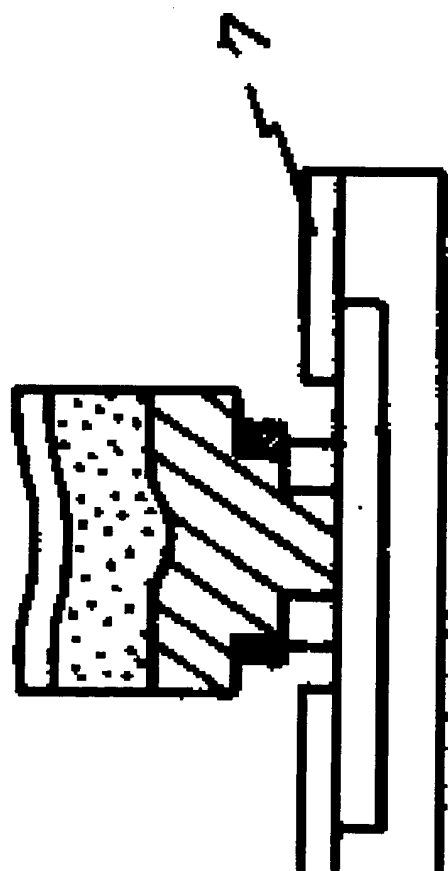
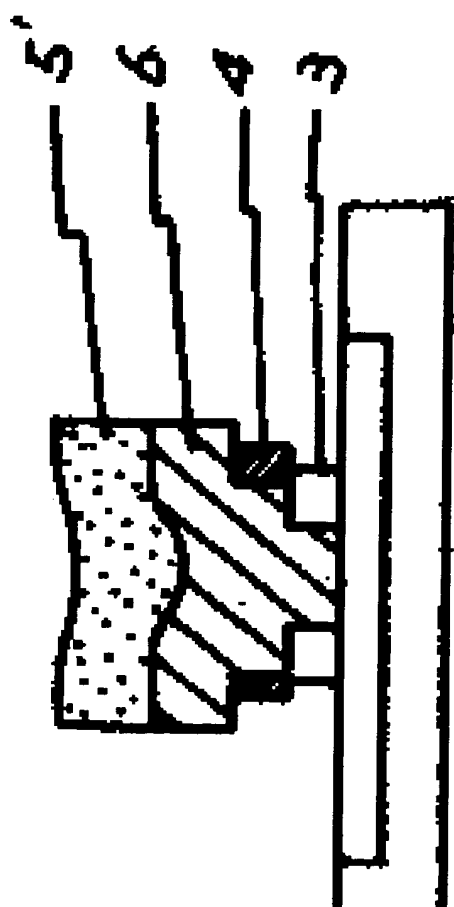
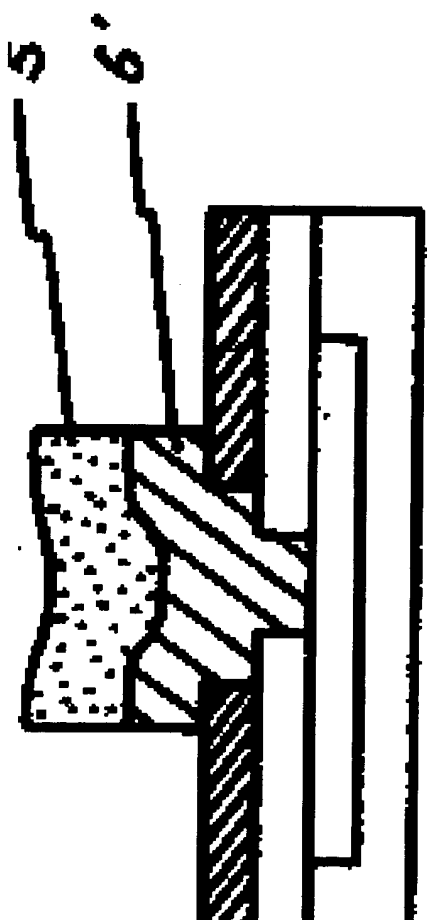
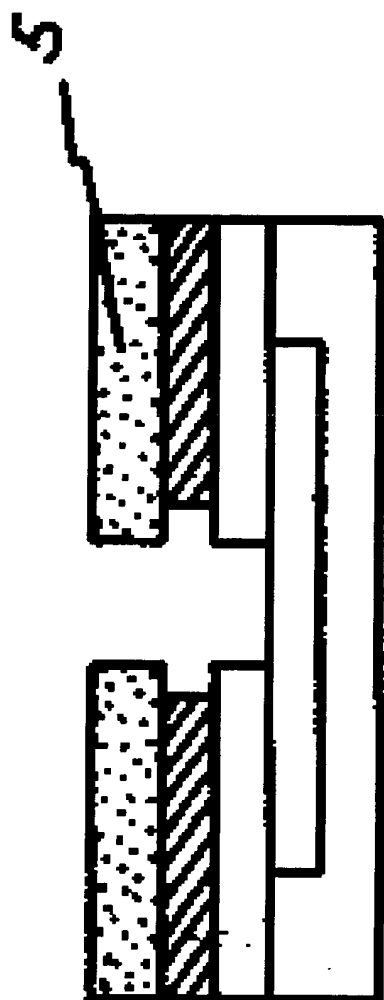
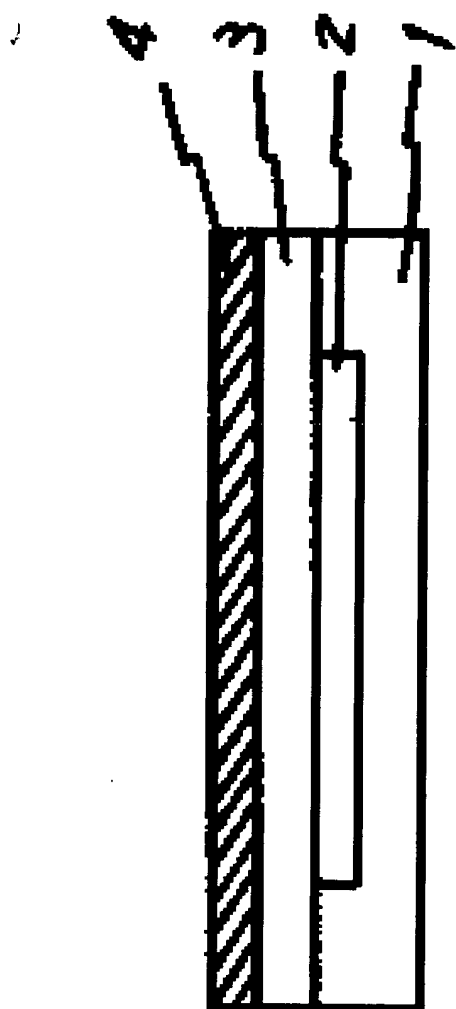
Patent Number: JP60111474  
Publication date: 1985-06-17  
Inventor(s): KAMITAKE KAZUTAKA  
Applicant(s):: NIPPON DENKI KK  
Requested Patent: ☐ JP60111474  
Application Number: JP19830219964 19831122  
Priority Number(s):  
IPC Classification: H01L29/80 ; H01L21/28 ; H01L21/302  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:** To form an inverted trapezoid gate shape (the reduction of gate resistance) and shorten space between a gate and a source (the reduction of source resistance) by forming a window for the gate to an silicon oxide film and an silicon nitride film in a region as a gate electrode through a carbon tetrafluoride group reactive ion etching method.

**CONSTITUTION:** An silicon oxide film 3 and an silicon nitride film 4 are deposited on a semi-insulating GaAs semiconductor substrate 1 with an N type active layer 2 in succession. When a resist mask 5 is formed and the insulating films 3, 4 are dry-etched through a RIE method in which hydrogen is added to carbon tetrafluoride, the silicon nitride film layer 4 is side-etched more than the silicon oxide film layer 3. When the resist 5 is removed, a gate metallic film 6 is shaped while using a resist 5' as a mask and the silicon nitride film 4 and the silicon oxide film layer 3 are processed through the RIE method by employing hydrocarbon trifluoride, the silicon oxide film 3 is etched at a rate faster than the silicon nitride film 4. An ohmic metal 7 is formed.

Data supplied from the esp@cenet database - I2



## ⑫ 公開特許公報(A)

昭60-111474

⑤Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

④公開 昭和60年(1985)6月17日

H 01 L 29/80  
21/28  
21/3027925-5F  
7638-5F  
8223-5F

審査請求 未請求 発明の数 1 (全4頁)

⑥発明の名称 半導体装置の製造方法

⑦特 願 昭58-219964

⑧出 願 昭58(1983)11月22日

⑨発 明 者 上 武 一 孝 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑩出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑪代 理 人 弁理士 内 原 晋

## 明 細 書

発明の名称

半導体装置の製造方法

## 特許請求の範囲

半導体基板表面にシリコン酸化膜とシリコン窒化膜を形成し、ゲート電極となる領域の前記シリコン酸化膜と前記シリコン窒化膜とを四弗化炭素系のリアクティブイオンエッチングによりドライエッチングしてゲート用開窓を形成し、次いで、ゲートメタルをレジストマスクを利用したエッチング法により該ゲート用開窓寸法より広く前記ゲート用開窓内および前記シリコン窒化膜上に形成し、しかる後前記シリコン酸化膜と前記シリコン窒化膜とを三弗化炭素系のリアクティブイオンエッチングにより除去し、然る後に前記半導体基板表面の清浄化を前記レジストマスクを付けたまま行なってから、オーミックメタルを蒸着し、前記レジストを利用して前記オーミックメタルをセル

フライインリフトオフ法により所定部除去し、もってソース及びドレイン電極を形成することを特徴とする半導体装置の製造方法。

## 発明の詳細な説明

本発明は半導体装置、特にⅢ-V族化合物半導体を用いるショットキーゲート電界効果トランジスタの製造方法に関するものである。本発明はゲート電極加工の際に半導体基板表面に損傷を与えることなく、しかもゲート抵抗を小さくかつソース及びドレイン電極を自己整合法により形成する際にゲート電極とソース及びドレイン電極とのショット発生を極力低減してソース及びドレイン電極間隔を狭く出来る高性能半導体装置の製造方法を提供するものである。

以下に本発明を実施例を基に説明する。

第1図～第7図に本発明にかかる素子製造工程の概要図を示す。先づ、第1図に示す様に、所定領域にN型能動層2をもつ半絶縁性GaAs半導体基板1上に化学蒸着法等によるシリコン酸化膜3

およびプラズマ化学蒸着法によるシリコン窒化膜4の順に堆積する。

次に第2図に示す様に、ゲート電極となる領域を光学露光法又は電子ビーム露光法等により下地絶縁膜3、4加工用のレジストマスク5を形成する。続いて四弗化炭素に5%~20%水素添加のリアクティブイオンエッチング法により絶縁膜3、4をドライエッチングして基板1の表面を露出させる。かかるドライエッチングではシリコン窒化膜3よりシリコン窒化膜4のエッチング速度の方が30%~50%(ドライエッチング条件によりさらに選択比が大きく出来る)速いため、第2図に示す様にシリコン窒化膜層4のサイドエッチングの方がシリコン窒化膜層3より進むことになる。

次いでレジスト5を除去した後、ドライエッチング時に形成されたフレオン系重合物の除去及びドライエッチング時の損傷部を除去する為に70~100℃塩酸処理後水素中200~400℃30分程度の熱処理を施す。然る後、第3図に示すように、ゲート金属膜6、例えばタンタルシリサイド

- 3 -

て半導体基板表面清浄化する。

然る後に、オーミック金属7としてAuGe/Niを垂直方向より所望厚さに蒸着し(第6図)、通常行なわれているリフトオフ法によりゲート金属6上及び不要領域上のオーミック金属7を除去してから、400~450℃の水素雰囲気中で数分程度熱処理して、オーミックコンタクトを形成する。その後、通常のソース及びドレイン電極形成方法によりソース及びドレインにTi Pt Au等の電極8を該オーミック金属より内側に通常光学露光法等により形成して第7図を得る。

また本発明は上述実施例に限定されるだけでなく、例えば第2図の工程のかわりに第8図に示す様に、絶縁膜3、4をドライエッチング後半導体基板1を水酸化ナトリウムと過酸化水素混合液素等により所謂リセス構造への適用も可能であり、この場合、第9図に示すショットキーゲート電界効果トランジスタを得る。このように、本発明を適用すれば耐圧向上はおろかソース及びドレイン側の抵抗を小さく、しかも逆台形ゲート形状が形

- 5 -

成できること(ゲート抵抗の低減)及びゲートソース間隔が自己整合法により狭しいリソグラフィ技術を駆使することなしに極めて短縮して形成できるのでソース低抵抗を低減させ高性能素子を実現できる。

また、本発明によれば、第5図及び第6図に示す様に自己整合法によるオーミック金属蒸着時及び熱処理時に多少ゲート金属6側へオーミック金属7が近づいてもゲート金属側面にシリコン窒化膜及びシリコン酸化膜が付着している為ショートが起こり難い長所がある。

- 4 -

#### 図面の簡単な説明

第1図~第7図は本発明の一実施例をその製造工程順に示した断面図である。第8図および第9図は本発明の他の実施例の製造工程を示した断面図である。

1……半絶縁性GaAs基板、2……N型能動層、3……シリコン酸化膜、4……シリコン窒化膜、5, 5'……フォトリソレジスト、6……ゲート金属、

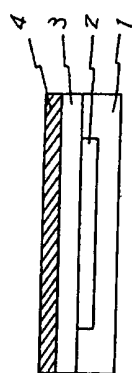
- 6 -

7 ……オーミック金属、8 ……電極金属。

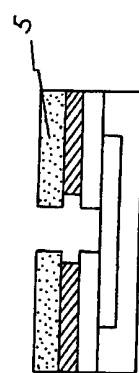
代理人 弁理士 内 原 晋



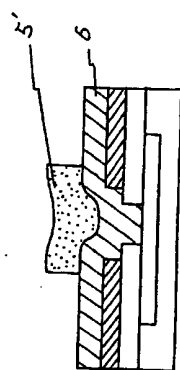
- 7 -



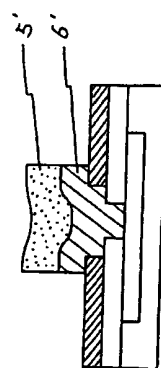
第 1 図



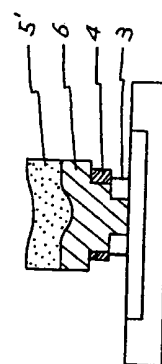
第 2 図



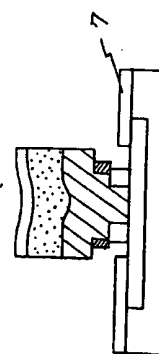
第 3 図



第 4 図

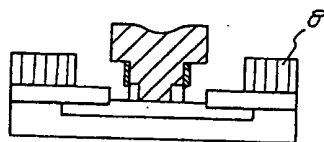


第 5 図

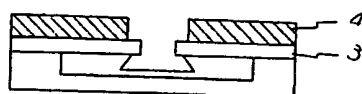


第 6 図

第 7 図



第 8 図



第 9 図

